

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-42822

(P2001-42822A)

(43)公開日 平成13年2月16日(2001.2.16)

(51)Int.Cl.⁷

識別記号

F I

テーム(参考)

G 0 9 G 3/30

G 0 9 G 3/30

K 3 K 0 0 7

// H 0 5 B 33/14

H 0 5 B 33/14

A 5 C 0 8 0

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21)出願番号

特願平11-220291

(22)出願日

平成11年8月3日(1999.8.3)

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72)発明者 石塚 真一

埼玉県鶴ヶ島市富士見6丁目1番1号 バ

イオニア株式会社総合研究所内

(74)代理人 100079119

弁理士 藤村 元彦

Fターム(参考) 3K007 AB00 AB02 BA06 BB07 DA00

DB03 EB00 FA01 GA00 GA04

5C080 AA06 BB05 DD05 EE29 FF12

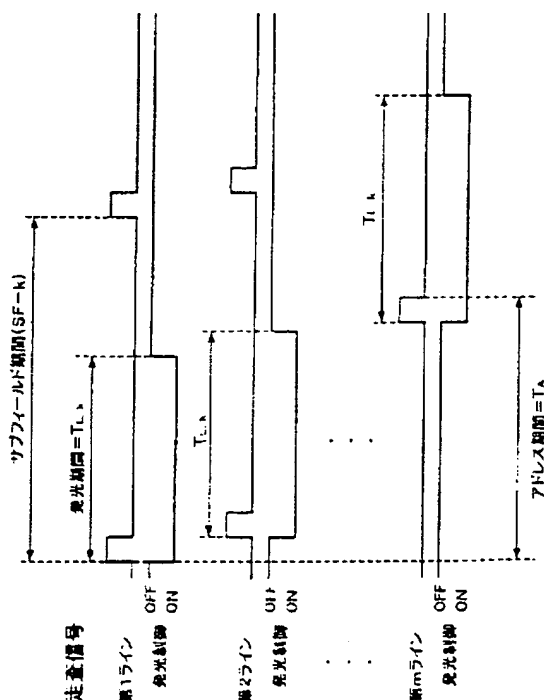
GG12 JJ02 JJ03 JJ04

(54)【発明の名称】 アクティブマトリクス型表示装置

(57)【要約】

【目的】 表示パネルの全面に亘って極度階調のばらつきのない高精度の多階調表示が可能なアクティブマトリクス型の表示装置を提供する。

【解決手段】 入力映像データの同期タイミングに対応する単位フレーム期間内に、複数のサブフィールド期間を設定する設定手段と、上記複数のサブフィールド期間毎に発光パネルの各行を順次走査して、上記複数の入力映像データに応じて発光素子を発光せしめる表示制御手段と、サブフィールド期間の各々に対し、発光制御手段が発光パネルの全ての行の走査に要する期間であるアドレス期間が所定の発光期間よりも長い場合に、発光素子の各々の発光期間が所定の発光期間に達した時に発光素子の各々の発光を停止せしめる発光停止手段と、を有する。



【特許請求の範囲】

【請求項1】 マトリクス状に配置された発光素子と、データ信号電流を蓄積して保持する保持回路と、該保持された電圧に応じて前記発光素子の各々を駆動する駆動素子と、を含むアクティブマトリクス型の発光パネルを用いた表示装置であって、

入力映像データの同期タイミングに対応する単位フレーム期間内に、複数のサブフィールド期間を設定する設定手段と、

前記サブフィールド期間毎に前記発光パネルの各行を順次走査して、前記入力映像データに応じて前記発光素子を発光せしめる表示制御手段と、

前記複数のサブフィールド期間の各々に対し、前記発光素子の各々の発光期間が所定発光期間に達した時に前記発光素子の各々の発光を停止せしめる発光停止手段と、を有することを特徴とする表示装置。

【請求項2】 前記発光停止手段は、前記発光パネルの各行毎に前記発光素子の発光を停止せしめることを特徴とする請求項1に記載の表示装置。

【請求項3】 前記発光停止手段は、タイマと、前記タイマの出力に応じて前記駆動素子の各々の導通を遮断するスイッチ回路と、を有することを特徴とする請求項1又は2に記載の表示装置。

【請求項4】 前記スイッチ回路は、前記駆動素子及び前記保持回路の間に直列に接続されていることを特徴とする請求項3に記載の表示装置。

【請求項5】 前記スイッチ回路は、前記保持回路に並列に接続されていることを特徴とする請求項3に記載の表示装置。

【請求項6】 前記スイッチ回路は、前記駆動素子及び前記保持回路の間に直列に接続された第1のスイッチ素子及び前記駆動素子に並列に接続された第2のスイッチ素子を少なくとも有することを特徴とする請求項3に記載の表示装置。

【請求項7】 前記スイッチ回路は、前記発光素子に直列に接続されていることを特徴とする請求項3に記載の表示装置。

【請求項8】 前記所定発光期間は、サブフィールド2 π 階調法に基づいて定められることを特徴とする請求項1ないし7に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はアクティブマトリクス型表示装置、特に、有機エレクトロルミネセンス素子等の発光素子を有するアクティブマトリクス型発光パネルを用いた表示装置に関する。

【0002】

【従来の技術】 有機エレクトロルミネセンス素子（以下、有機EL素子と称する）は発光素子を流れる電流によってその発光強度を制御することができ、このような

発光素子をマトリクス状に配置して構成される発光パネルを用いたマトリクス型ディスプレイの開発が広く進められている。かかる有機EL素子を用いた発光パネルとして、有機EL素子を単にマトリクス状に配置した単純マトリクス型発光パネルと、マトリクス状に配置した有機EL素子の各々にトランジスタからなる駆動素子を加えたアクティブマトリクス型発光パネルがある。アクティブマトリクス型発光パネルは単純マトリクス型発光パネルに比べて、低消費電力であり、また画素間のクロストークが少ないなどの利点を有し、特に大画面ディスプレイや高精細度ディスプレイに適している。

【0003】 図1は、従来のアクティブマトリクス型発光パネルの1つの画素10に対応する回路構成の1例を示している。かかる回路構成は、例えば、特開平8-241057号公報に開示されている。図1において、FET（Field Effect Transistor）11（アドレス選択用トランジスタ）のゲートGは、アドレス信号が供給されるアドレス走査電極線（アドレスライン）に接続され、FET11のソースSはデータ信号が供給されるデータ電極線（データライン）に接続されている。FET11のドレインDはFET12（駆動用トランジスタ）のゲートGに接続され、キャパシタ13を通じて接地されている。FET12のソースSは接地され、ドレインDは有機EL素子15の陰極に接続され、有機EL素子15の陽極を通じて電源に接続されている。この回路の発光制御動作について述べると、先ず、図1においてFET11のゲートGにオン電圧が供給されると、FET11はソースSに供給されるデータの電圧に対応した電流をソースSからドレインDへ流す。FET11のゲートGがオフ電圧であるとFET11はいわゆるカットオフとなり、FET11のドレインDはオープン状態となる。従って、FET11のゲートGがオン電圧の期間に、ソースSの電圧がキャパシタ13に充電され、その電圧がFET12のゲートGに供給されて、FET12にはそのゲート電圧とソース電圧に基づいた電流が有機EL素子15を通じてドレインDからソースSへ流れ、有機EL素子15を発光せしめる。また、FET11のゲートGがオフ電圧になると、FET11はオープン状態となり、FET12はキャパシタ13に蓄積された電荷によりゲートGの電圧が保持され、次の走査まで駆動電流を維持し、有機EL素子15の発光も維持される。尚、FET12のゲートGとソースSの間にはゲート入力容量が存在するのでキャパシタ13を設けなくとも上記と同様な動作が可能である。

【0004】 アクティブマトリクス駆動により発光制御を行う表示パネルの1画素に対応する回路はこのように構成され、当該画素の有機EL素子15が駆動された場合に当該画素の発光が維持される。上記したアクティブマトリクス型発光パネルの各画素の輝度階調の制御は、FET12のゲートGにかかる電圧を振幅変調すること

によって行なわれていた。すなわち、FET12のソースドレイン電流はゲートGにかかる電圧によって変化する。供給される入力映像信号に応じて、ゲートGに印加する電圧の大きさを調整することにより、有機EL素子15に流れる駆動電流量を調整することができる。従って、有機EL素子15の駆動電流量を調整することによって有機EL素子15の発光強度を調整していた。

【0005】

【発明が解決しようとする課題】しかしながら、上述したような振幅変調によって強度階調表示を行う表示装置においては、駆動FETのゲートにかかる電圧値とソースドレイン間を流れる電流値の関係、すなわち、駆動FETの電流-電圧特性が非線形であるため、表示パネル面内の駆動FET間の特性ばらつきによって強度階調にばらつきが生じ、精度の高い多階調表示が困難であるという問題があった。

【0006】本発明はかかる点に鑑みてなされたものであり、その目的とするところは、表示パネルの全面に亘って強度階調のばらつきのない高精度の多階調表示が可能なアクティブマトリクス型の表示装置を提供することにある。

【0007】

【課題を解決するための手段】本発明による表示装置は、マトリクス状に配置された発光素子と、データ信号電流を蓄積して保持する保持回路と、該保持された電圧に応じて発光素子の各々を駆動する駆動素子と、を含むアクティブマトリクス型の発光パネルを用いた表示装置であって、入力映像データの同期タイミングに対応する単位フレーム期間内に、複数のサブフィールド期間を設定する設定手段と、上記サブフィールド期間毎に発光パネルの各行を順次走査して、上記複数の入力映像データに応じて発光素子を発光せしめる表示制御手段と、サブフィールド期間の各々に対し、発光制御手段が発光パネルの全ての行の走査に要する期間であるアドレス期間が所定発光期間よりも長い場合に、発光素子の各々の発光期間が所定発光期間に達した時に発光素子の各々の発光を停止せしめる発光停止手段と、を有することを特徴としている。

【0008】本発明の他の特徴として、上記発光停止手段は、発光パネルの各行毎に発光素子の発光を停止せしめる。また、本発明の他の特徴として、上記発光停止手段は、タイマとタイマの出力に応じて駆動素子の各々の導通を遮断するスイッチ回路と、を有している。更に、本発明の他の特徴として、上記スイッチ回路は駆動素子及び保持回路の間に直列に接続されている。

【0009】本発明の更なる特徴として、上記スイッチ回路は保持回路に並列に接続されている。また、本発明の他の特徴として、上記スイッチ回路は発光素子に直列に接続されている。

【0010】

【発明の実施の形態】本発明の実施例を図面を参照しつつ詳細に説明する。尚、以下に説明する図において、実質的に同等な部分には同一の参照符を付している。図2は、本発明の第1の実施例であるアクティブマトリクス型発光パネルを用いた有機EL表示装置20の構成を概略的に示している。

【0011】図2において、アナログ/デジタル(A/D)変換器21は、アナログ映像信号入力を受けてデジタル映像信号データに変換する。変換により得られたデジタル映像信号はA/D変換器21からフレームメモリ24へ供給され1フレーム単位のデジタル映像信号データが一旦フレームメモリ24に記憶される。一方、有機EL表示装置20内の各部の制御をなす表示制御部(以下、コントローラと称する)26は、相異なる発光時間をパラメータとする複数のサブフィールド(以下では8個のサブフィールドの場合を例に説明する)によって、上記フレームメモリ24に記憶されたデジタル映像信号データを、列アドレスカウンタ22及び行アドレスカウンタ23を用いて制御することにより、複数(ここでは8個)の階調表示データに変換し、それぞれ発光パネル30の画素のアドレスに対応する発光・非発光データと共に順次マルチプレクサ25に供給する。

【0012】また、コントローラ26は、マルチプレクサ25に供給された発光・非発光データの中から各サブフィールドに対応する列データを第1行目から順次画素の配列順に列ドライバ28が有するデータラッチ回路に保持させるように制御する。コントローラ26は、データラッチ回路によって順次保持された各サブフィールド毎の列データを、1行単位で発光パネル30に供給すると共に、行ドライバ27によって対応する行が有する画素列において同時に発光させる。また、コントローラ26は計時装置(タイマ)を内部に有し(図示しない)、発光制御ドライバ31を制御して、各サブフィールド毎に各画素の発光期間を制御する。この動作は、1フレームのデータ単位で、第1サブフィールドから第8サブフィールドまでのそれぞれの列データに関して行なわれる(ここでは8回行なわれる)。発光パネル30の各画素は、供給される各サブフィールドの各々に対し、後述する所定の発光期間だけ発光制御され、1フレーム分の発光表示を多階調表示によって行うことができる。

【0013】なお、図3に示すように、本実施例においては、上記入力映像信号における1フレーム期間を8個のサブフィールドに分割し、各サブフィールド期間内における強度の相対比がそれぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/256(すなわち、順に第1サブフィールド〜第8サブフィールド)となるように設定され、それらのサブフィールドの選択的組合せにより256通りの強度階調表示(すなわち、サブフィールド2階調法に基づいた方法による

表示」をなすことができる。

【0014】本発明における有機EL表示装置は、このように構成され、入力されるアナログ映像信号に対し、各サブフィールド毎に発光パネルの画面全体のアドレス走査による発光制御を繰り返すことにより、フレーム単位の発光表示を多階調表示によって行うことができる。図4は、本発明の第1の実施例であるアクティブマトリクス型発光パネルの1画素に対応する回路構成を示したものである。本実施例が図1に示した従来技術の回路構成と異なるのは、アドレス選択用FET11のソースS及びキャパシタ13の接続点と駆動用FET12のゲートGとの間に、駆動用FET12の導通を制御して有機EL素子15の発光及び非発光（発光停止）を制御するスイッチ回路32が設けられている点である。スイッチ回路32は、後述する発光制御ドライバ31からの発光制御信号に応じてスイッチングを行う2つのFET33、34を有している。スイッチ回路32において、FET33はFET11のソースS及びキャパシタ13の接続点とFET12のゲートGとの間に接続され、FET34はFET12のゲートGとグランド（GND）間に接続されている。従って、FET33が導通し、FET34が非導通となったとき、スイッチ回路32は有機EL素子15を発光せしめる（ON）発光制御を行い、その逆の場合に有機EL素子15の発光を停止せしめる（OFF）発光制御を行う。

【0015】以下に、コントローラ26が、フレームメモリ24に記憶されたデジタル映像信号データに基づいて発光パネル30の発光・非発光を制御して多階調表示を実現する発光制御動作について、図5及び図6に示すタイムチャートを参照しつつ詳細に説明する。先ず、コントローラ26は、デジタル映像信号データがフレームメモリ24に供給されると、1フレーム分のデジタル映像信号データをフレームメモリ24に書き込む。次に、コントローラ26は、マルチプレクサ25に対し第1サブフィールド（SF1）のデータを出力する旨の指令を出す。次に、コントローラ26は、行アドレスカウンタ23に対して第1行を指定する旨の指令を出すと共に、列アドレスカウンタ22に対して第1列を指定する旨の指令を出す。

【0016】これにより、指定されたアドレス（第1行、第1列）の1フレーム分のデジタル映像信号データが、各サブフィールドに対応する8つの階調表示データに変換され、発光パネル30の画素のアドレスに対応する発光・非発光データを含んだデータとして順次マルチプレクサ25に供給される。コントローラ26は、マルチプレクサ25に供給された上記指定されたアドレス

第1行、第1列のデータの中から第1サブフィールドのデータを列ドライバ28に出力する。列ドライバ28では、列ドライバ28内に設けられたデータラッチ回路（図示しない）によってこのデータを保持する

【0017】次に、コントローラ26は、列アドレスカウンタ22に対して列を1つ更新する指令を出す。すなわち、列アドレスカウンタ22に対して第2列を指定する旨の指令を出す。このことにより、アドレス（第1行、第2列）が指定され、先に述べたアドレス（第1行、第1列）が指定された場合と同様の動作を繰り返す。このようにして、コントローラ26は、第1行の各列に対し順次、上記した動作を繰り返すことにより、第1行の全ての列のデータを列ドライバ28が有するデータラッチ回路に保持させる。

【0018】第1行の全ての列データがラッチされた後、図5に示すように、コントローラ26は第1行の列データのそれぞれを、対応する各列の画素に書き込む。すなわち、各画素に対応するアドレス選択用FET11を導通せしめる。これと同時に、コントローラ26は発光制御ドライバ31を制御してスイッチ回路32を導通（発光制御ON）させる制御信号を供給せしめ、発光を示すデータを有する画素の有機EL素子を発光せしめる。尚、コントローラ26は、更に、第1サブフィールドに対し予め決められた所定の発光期間（ T_{L1} ）が経過したときに、上記有機EL素子の発光の停止を指示する信号を発光制御ドライバ31に供給する。発光制御ドライバ31は第1行の全てのスイッチ回路32に有機EL素子の発光を停止せしめる制御信号（発光制御OFF）を供給し、有機EL素子は非発光となる。

【0019】コントローラ26は、第1行の全ての列データがラッチされた後のステップとして、行アドレスカウンタ23を第2行に指定する旨の指令を出すと共に、列アドレスカウンタ22を第1列に指定する旨の指令を出す。上記した第1行の場合の動作と同様にして、第2行の全ての列データのデータラッチを行うように制御を実行する。第2行の全ての列データのラッチ後、上記した第1行の場合と同様にして第2行の各列の画素の発光制御動作が実行される。

【0020】コントローラ26は、このような動作を全ての行（すなわち、第1ライン～第mライン）に亘って行うことにより、第1サブフィールドのデータに対応させて発光パネル30の全ての画素の発光制御を行うことができる。次に、コントローラ26は、マルチプレクサ25に対し第2サブフィールドのデータを出力する旨の指令を発する。以下、コントローラ26は、先に述べた第1サブフィールドの場合と同様の動作を繰り返す、第2サブフィールドのデータに対応した発光がなされる。

【0021】このようにして、第1サブフィールドから第8サブフィールドまでに対応した発光がなされるが、本発明における特徴として、各サブフィールド毎に所定の発光期間が経過した後、発光素子の発光を停止せしめる手段を有しているため、アドレス期間（ T_A ）よりも短い任意の発光期間をサブフィールドに対し割り当てることが可能である。すなわち、発光停止手段を有しない

場合にアドレス期間よりも短い発光期間をサブフィールドに割り当てることができないのは、次のサブフィールドのアドレス期間の開始によって画素の発光（又は非発光）が更新されるまで、発光していた画素の発光を停止できず、次のサブフィールドは、全ての行の走査に要する期間であるアドレス期間が終了するまで開始できないからである。

【0022】図5は、第 k サブフィールド（ $1 \leq k \leq 8$ ）に対し、アドレス期間（ T_A ）よりも短い発光期間で各ラインの発光を制御する場合を示している。コントローラ26による前述したと同様な制御により、各行はこのサブフィールドに対して設定された所定の発光期間（ T_{lk} ）で発光制御される。例えば、1フレームを60Hzで表示する場合、1フレームは約16.7ミリ秒（ms）である。ここで、アドレス期間を0.84ms（1フレーム期間の4.0% $\times 1/8$ ）、第1サブフィールド（ $1/2$ ）における発光期間を1フレーム期間の $1/2$ 以下の値、例えば5msとそれぞれ設定する場合を例に説明する。このとき、第2サブフィールド以降のサブフィールドにおける発光期間はそれぞれ第1サブフィールドの発光期間の $1/2^1$ 、 $1/2^2$ 、 $1/2^3$ 、 \dots 、 $1/2^7$ である2.5ms、1.25ms、0.625ms、 \dots 、0.039msとなる。従って、この場合、第4サブフィールド以降のサブフィールド（第4～第8サブフィールド）における発光期間はアドレス期間（ $T_A=0.84$ ms）よりも短い。各サブフィールドに対し所望の発光期間を有するように制御がなされる。

【0023】上記したようにして、第1サブフィールドから第8サブフィールドまでの表示制御が終了した時点で1フレームの表示が完了する。その後、コントローラ26は、フレームメモリ24に記憶されるデータを次のフレームに対応するデータに書き替えて、次のフレームの表示制御を行う。従って、本発明によれば、上述した発光停止制御により、各サブフィールドに対しアドレス期間よりも短い任意の発光期間で発光を制御できるので、広範な階調表示が可能である。

【0024】図7は、本発明の第2の実施例であるアクティブマトリクス型発光パネルの1画素に対応する回路構成を示したものである。本実施例が第1の実施例と異なるのは、スイッチ回路32がキャパシタ13に並列に接続されたFET35を有している点である。すなわち、FET35のドレインDはFET11のソースS及びキャパシタ13の接続点に接続され、ソースSはグラウンドに接地されている。従って、ゲートGに供給される制御信号に応じてFET35が導通したときに有機EL素子15の発光は停止される。

【0025】図8は、本発明の第3の実施例である発光パネルの1画素に対応する回路構成を示したものである。本実施例が前述の実施例と異なるのは、スイッチ回

路32がキャパシタ13とFET12のゲートGとの間に直列に接続されたFET36を有している点である。すなわち、FET36のドレインDはFET11のソースS及びキャパシタ13の接続点に接続され、ソースSはFET12のゲートGに接続されている。従って、ゲートGに供給される制御信号に応じてFET36が非導通となったときに有機EL素子15の発光は停止される。

【0026】図9ないし11は、本発明の他の実施例である発光パネルの1画素に対応する回路構成をそれぞれ示したものである。各実施例が前述の実施例と異なるのは、スイッチ回路32が有機EL素子15と直列に接続されたFET37を有している点である。すなわち、FET37のゲートGに供給される制御信号に応じてFET37が非導通となったときに有機EL素子15の発光は停止される。

【0027】上記したように、本発明によれば、上述した発光停止制御により、各サブフィールドに対しアドレス期間よりも短い任意の発光期間で発光を制御できるので、広範な階調表示が実現できる。尚、上記した実施例において示した各数値は例であって適宜変更してもよい。また、各種のスイッチング回路等は、適宜組み合わせて用いることができる。

【0028】

【発明の効果】上記したことから明らかなように、本発明によれば、各サブフィールドにおける発光期間を任意に制御できるので、表示パネルの全面に亘って輝度階調のばらつきのない高精度の多階調表示が可能なアクティブマトリクス型の表示装置を実現できる。

【図面の簡単な説明】

【図1】従来のアクティブマトリクス型発光パネルの1つの画素に対応する回路構成の1例を概略的に示す図である。

【図2】本発明の実施例であるアクティブマトリクス型発光パネルを用いた有機EL表示装置の構成を概略的に示す図である。

【図3】デジタル映像信号の1フレーム期間、サブフィールド期間、及びアドレス期間を示す図である。

【図4】本発明の第1の実施例であるアクティブマトリクス型発光パネルの1画素に対応する回路構成を示す図である。

【図5】コントローラがサブフィールド毎に実行する発光制御のタイミングを示すタイムチャートである。

【図6】コントローラが、アドレス期間よりも短い発光期間で発光を制御する制御タイミングを示すタイムチャートである。

【図7】本発明の第2の実施例であるアクティブマトリクス型発光パネルの1画素に対応する回路構成を示す図である。

【図8】本発明の第3の実施例である発光パネルの1画

素に対応する回路構成を示す図である。

【図9】本発明の他の実施例である発光パネルの1画素に対応する回路構成を示す図である。

【図10】本発明の他の実施例である発光パネルの1画素に対応する回路構成を示す図である。

【図11】本発明の他の実施例である発光パネルの1画素に対応する回路構成を示す図である。

【主要部分の符号の説明】

10 画素

11 アドレス選択用FET

12 駆動用FET

13 キャパシタ

15 発光素子

20 表示装置

21 A/D変換器

22 列アドレスカウンタ

23 行アドレスカウンタ

24 フレームメモリ

25 マルチプレクサ

26 コントローラ

27 行ドライバ

28 列データドライバ

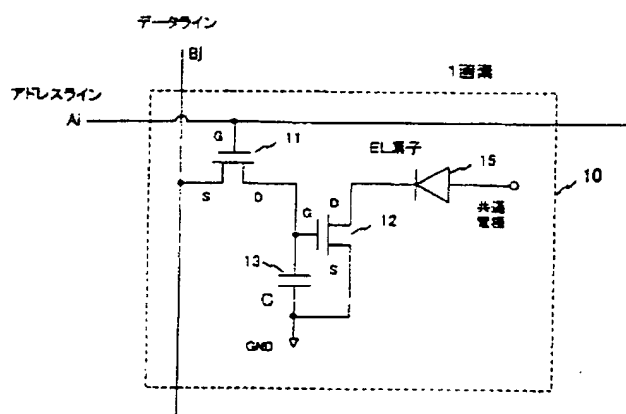
30 発光パネル

31 発光制御ドライバ

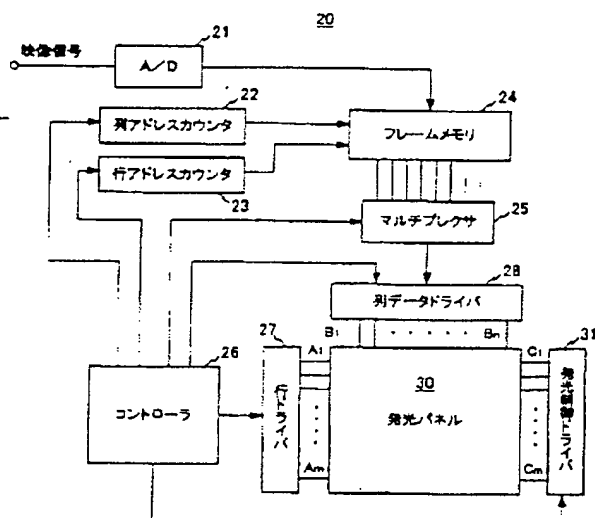
32 スイッチ回路

33, 34, 35, 36 FET

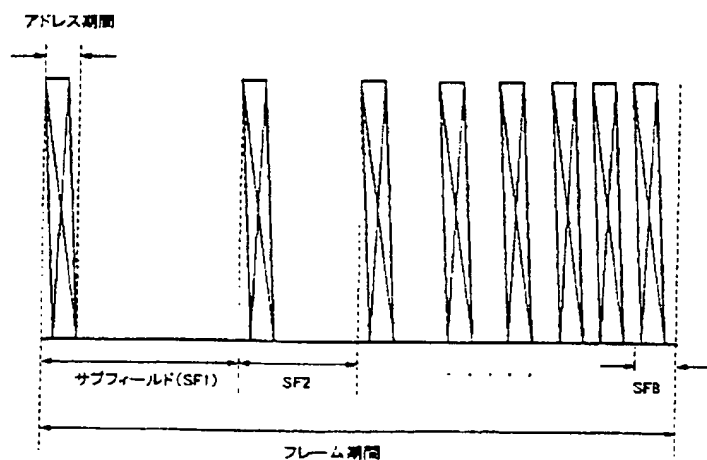
【図1】



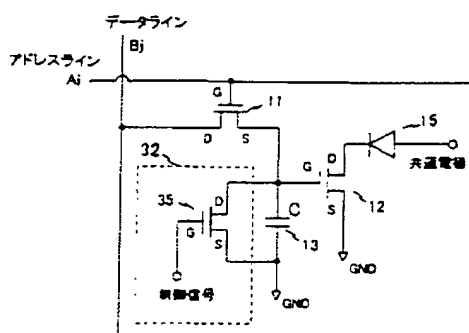
【図2】



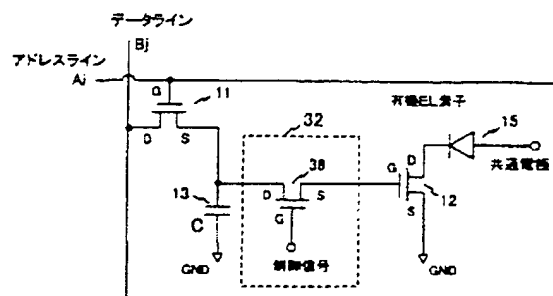
【図3】



【図7】

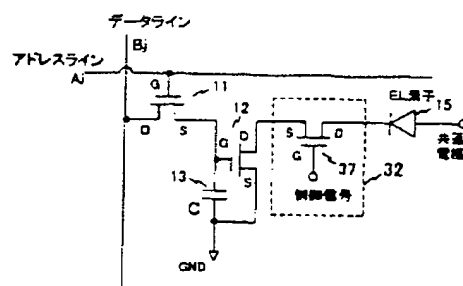


【图 8】



【圖 9】

【图 10】



【圖 13】

[illegible]

1 面美

Patent Laid-Open Number: 2001-42822

Laid-Open Date: February 16, 2001

Application Number: 11-220291/1999

Application Date: August 3, 1999

IPC: G 09 G 3/30
H 05 B 33/14

Request for Examination: Not made

Inventor: Shin-ichi Ishizuka
c/o Research Laboratory
Pioneer Electronic Corp.
Fujimi 6-chome 1-1, Tsurugashima-shi,
Saitama-ken

Applicant: Pioneer Electronic Corp.
Meguro 1-chome 4-1, Meguro-ku, Tokyo

Representative: Patent attorney:
Motohiko Fujimura

F term (Reference): 3K007 AB00 AB02 BA06 BB07 DA00
DB03 EB00 FA01 GA00 GA04
5C080 AA06 BB05 DD05 EE29 FF12
GG12 JJ02 JJ03 JJ04

[Title of the Invention] ACTIVE MATRIX DISPLAY DEVICE

[Claims]

[Claim 1] A display device using an active matrix light emitting panel including light emitting elements arranged in a matrix, holding circuits each storing and holding a data signal current, driving elements each driving each of the light emitting elements depending on the held voltage, the device characterized by comprising:

 setting means for setting a plurality of subfield periods in a unit frame period corresponding to a synchronizing timing of inputted image data;

 display controlling means for scanning every row of the light emitting panel in order for each of the subfield periods to make the light emitting elements emit light depending on the inputted image data; and

 light emission stopping means for stopping light emission of each of the light emitting elements when a light emitting period of each of the light emitting elements reaches a specified light emitting period in each of a plurality of the subfield periods.

[Claim 2] The display device as claimed in claim 1 characterized in that the light emission stopping means stops the light emission of the light emitting element for each row of the light emitting panel.

[Claim 3] The display device as claimed in claim 1 or 2 characterized in that the light emission stopping means is provided with a timer and a switching circuit that breaks conduction of each of the driving elements depending on an output of the timer.

[Claim 4] The display device as claimed in claim 3 characterized in that the switching circuit is connected in series between the driving element and the holding circuit.

[Claim 5] The display device as claimed in claim 3 characterized in that the switching circuit is connected in parallel to the holding circuit.

[Claim 6] The display device as claimed in claim 3 characterized in that the switching circuit is at least provided with a first switching element connected in series between the driving element and the holding circuit, and a second switching element connected in parallel to the driving element.

[Claim 7] The display device as claimed in claim 3 characterized in that the switching circuit is connected in series to the light emitting element.

[Claim 8] The display device as claimed in any one of claims 1 to 7 characterized in that the specified light emitting period is determined on the basis of a subfield 2^n gradation method.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Belongs]

The present invention relates to an active matrix display device, more particularly to a display device using an active matrix light emitting panel having light emitting elements such as organic electroluminescence elements.

[0002]

[Prior Art]

An organic electroluminescence element (hereinafter referred to as organic EL element) is capable of controlling luminance of light emission thereof by a current flowing in a light emitting element. There are widely carried out developments of matrix displays each using a light emitting panel arranged with such light emitting elements disposed in a matrix. As light emitting panels using such organic EL elements, there are a simple matrix light emitting panel in which organic EL elements are simply disposed in a matrix and an active matrix light emitting panel in which each of organic EL elements disposed in a matrix has an additional driving element including transistors. The active matrix light emitting panel, compared with the simple matrix light emitting panel, has such advantages as to consume less power and cause less crosstalk, which is particularly suited for a large screen display or a high definition display.

[0003] Figure 1 shows an example of a circuit arrangement corresponding to one picture element 10 in a conventional active

matrix light emitting panel. Such a circuit arrangement is disclosed in, for example, Japanese Patent Laid-Open No. 8-241057. In Fig. 1, a gate G of an FET (Field Effect Transistor) 11 (address selection transistor) is connected to an address scanning electrode line (address line) to which an address signal is supplied. Moreover, a source S of the FET 11 is connected to a data electrode line (data line) to which a data signal is supplied. A drain D of the FET 11 is connected to a gate G of an FET 12 (driving transistor) and is grounded through a capacitor 13. A source S of the FET 12 is grounded, a drain D thereof is connected to a cathode of an organic EL element 15 and further connected to a power source through an anode of the organic EL element 15. A controlling operation of the circuit will be explained. First, in Fig. 1, on supplying an "on" voltage to the gate G of the FET 11, the FET 11 flows a current, corresponding to a voltage of data supplied to the source S, from the source S to the drain D. The gate G of the FET 11 at an "off" voltage brings the FET 11 into a so-called "cut off" state to make the drain D of the FET 11 becomes in an "open" state. Therefore, in a period in which the gate G of the FET 11 is at the "on" voltage, the voltage of the source S charges the capacitor 13. The voltage is further supplied to the Gate G of the FET 12, in which a current based on the gate voltage and the source voltage flows from the drain D to the source S through the organic EL element 15 to make the organic

EL element 15 emit light. Moreover, the gate G of the FET 11 becoming at an "off" voltage causes the FET 11 to become in an "open" state, in which the FET 12 keeps the voltage of the gate G by charges stored in the capacitor 13 to maintain a driving current until the next scanning. This also maintains light emission of the organic EL element 15. Incidentally, presence of gate input capacity between the gate G and the source S of the FET 12 allows operation the same as above without providing the capacitor 13.

[0004] The circuit corresponding to one picture element of the display panel is thus arranged in which light emission is controlled by the active matrix driving to maintain the light emission when the organic EL element 15 of the picture element is driven. In each of the picture elements of the above-described active matrix light emitting panel, control of luminance gradation was carried out by an amplitude modulation of the voltage applied to the gate G of the FET 12. Namely, a source-drain current of the FET 12 is varied depending on the voltage applied to the gate G. Thus, by adjusting the magnitude of the voltage applied to the gate G, the amount of the driving current flowing in the organic element 15 can be adjusted. Therefore, instantaneous luminance of the organic EL element was adjusted by adjusting the amount of the driving current of the organic EL element 15.

[0005]

[Problems that the Invention is to Solve]

However, in such a display device that the luminance gradation display is carried out by the amplitude modulation as described above, there was nonlinearity in a relationship between the value of the voltage applied to the gate of the driving FET and the value of the current flowing between the source and the drain, that is, the current to voltage characteristic of the driving FET. This causes variation in the luminance gradation due to variation between characteristics of driving FETs in the display panel plane, which presented problem of causing difficulty in displaying multigradation with high definition.

[0006] The present invention was made in view of this respect with an object of providing an active matrix display device which can present a high definition multigradation display without any variation in luminance gradation over the whole plane of the display panel.

[0007]

[Means for Solving the Problem]

A display device according to the invention is a display device using an active matrix light emitting panel including light emitting elements arranged in a matrix, holding circuits each storing and holding a data signal current, driving elements each driving each of the light emitting elements depending on the held voltage, which is characterized by comprising: setting

means for setting a plurality of subfield periods in a unit frame period corresponding to a synchronizing timing of inputted image data; display controlling means for scanning every row of the light emitting panel in order for each of the subfield periods to make the light emitting elements emit light depending on the inputted image data; and light emission stopping means for stopping light emission of each of the light emitting elements when a light emitting period of each of the light emitting elements reaches a specified light emitting period in each of a plurality of the subfield periods.

[0008] Another characteristic of the invention is in that the light emission stopping means stops the light emission of the light emitting element for each row of the light emitting panel. Moreover, further another characteristic of the invention is in that the light emission stopping means is provided with a timer and a switching circuit that breaks conduction of each of the driving elements depending on an output of the timer. Furthermore, still another characteristic of the invention is in that the switching circuit is connected in series between the driving element and the holding circuit.

[0009] Further characteristic of the invention is in that the switching circuit is connected in parallel to the holding circuit. In addition, still further characteristic of the invention is in that the switching circuit is connected in series to the light emitting element.

[0010]

[Mode for Carrying Out the Invention]

An example of the invention will be explained in detail with reference to the drawings. In the drawings explained in the following, substantially equivalent parts will be designated with the same reference numerals and signs. Figure 2 schematically shows an arrangement of an organic EL display device 20 using an active matrix light emitting panel as a first example of the invention.

[0011] In Fig. 2, an analog/digital (A/D) converter 21 receives an analog image signal input, which is converted to digital image signal data. The digital image signal obtained by the conversion is supplied from the A/D converter 21 to a frame memory 24, in which the digital image signal data are temporarily stored frame by frame. Meanwhile, a display controlling unit (hereinafter referred to as controller) 26, carrying out control of various parts in the organic EL display device 20, controls the digital image signal data stored in the above frame memory 24 by using a column address counter 2 and a row address counter 23. The control of the digital image signal data are carried out by providing a plurality of subfields (in the following, explanation will be made by taking an example about the case of providing eight subfields) each with a different light emitting period taken as a parameter. This converts the digital image signal data to a plurality of

(here, eight) gradation display data each being supplied to a multiplexer 25 together with light emitting data or non-light-emitting data corresponding to an address of a picture element in a light emitting panel 30.

[0012] Moreover, the controller 26 carries out control so that, of the light emitting data or non-light-emitting data supplied to the multiplexer 25, column data corresponding to each of the sub fields are made held in a data latch circuit provided in a column driver 28 sequentially from the first row in the order of the arrangement of the picture elements. The controller 26 then supplies the column data for each subfield, held by the data latch circuit in order, to the light emitting panel 30 row by row. Along with this, the controller 26 makes a row driver 27 carry out simultaneous light emission of a series of picture elements in a row corresponding to the row with the supplied column data. Furthermore, the controller 26 has a time measuring device (timer) inside (not shown) for controlling a light emission controlling driver 31 to control a light emitting period of each of the picture elements for each of the subfields. The operation is carried out for each of subfields from a first subfield to an eighth subfield (here, carried out eight times) for each of which data of one frame are supplied with column data taken row by row. Each of the picture elements in the light emitting panel 30 is subjected to light emission control by a specified period as will be

explained later for each of the provided subfields to allow a light emitting display to be performed with multigradation display.

[0013] Incidentally, as shown in Fig. 3, in the example, one frame period for the inputted image signal is divided into eight subfields, in each of which relative ratios of luminance is set so as to be $1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/256$ (that is, from the first subfield to the eighth subfield in order). By selectively combining such subfields, a luminance gradation display (that is, a display by a method based on the subfield 2^n gradation method) with 256 ways is possible.

[0014] The organic EL display device according to the invention is thus arranged, in which, for analog image signals being inputted, light emission control is repeated for each subfield by carrying out scanning all of the addresses in the light emitting panel. This allows light emitting display with multigradation display to be carried out frame by frame. Figure 4 shows a circuit arrangement corresponding to one picture element of an active matrix light emitting panel as the first example of the invention. The example differs from the circuit arrangement of the conventional art shown in Fig. 1 in that a switching circuit 32 is provided between a connection point of the source S of the FET 11 for selecting address with the capacitor 13, and the gate G for the driving FET 12. The switching circuit 32 is provided for controlling light emission

and non-light-emission (stopping light emission) of the organic EL element 15 by controlling conduction of the driving FET 12. The switching circuit 32 is provided with two FETs 33 and 34 carrying out switching in response to a light emission controlling signal from the light emission controlling driver 31 described later. In the switching circuit 32, the FET 33 is connected between the connection point of the source S of the FET 11 with the capacitor 13 and the gate G of the FET 12. The FET 34 is connected between the gate G of the FET 12 and the ground (GND). Therefore, when the FET 33 is made conducting and the FET 34 is made nonconducting, the switching circuit 32 carries out light emission control for making the organic EL element 15 emit light (ON). In the reverse case, the light emission control is carried out to make the light emission of the organic EL element 15 stop (OFF).

[0015] In the following, an operation of light emission control will be explained with reference to time charts shown in Fig. 5 and Fig. 6. In the light emission control, the controller 26 controls light emission or non-light-emission of the light emitting panel 30 on the basis of the digital image signal data stored in the frame memory 24. First, the controller 26, on supply of the digital image signal data to the frame memory 24, writes the digital image signal data of one frame in the frame memory 24. Next, the controller 26 outputs an instruction for outputting data for the first subfield (SF1)

to the multiplexer 25. The controller 26 then outputs an instruction for specifying the first row to the row address counter 23 and, along with this, outputs an instruction for specifying the first column to the column address counter 22.

[0016] This makes digital image data of one frame at the specified address (the first row and the first column) converted to eight gradation display data each corresponding to each of the subfields, which are supplied to the multiplexer 25 in order as data including light emission data or non-light-emission data corresponding to addresses of the picture elements in the light emitting panel 30. Of the data for the specified address (the first row and the first column) supplied to the multiplexer 25, the controller 26 makes the data in the first subfield outputted to the column driver 28. In the column driver 28, the data are held by a data latch circuit (not shown) provided in the column driver 28.

[0017] Following this, the controller 26 outputs an instruction to the column address counter 22 for updating the column by one. Namely, the instruction of specifying the second column is outputted to the column address counter 22. This makes an address (the first row and the second column) designated to repeat the same operation as that when the previously explained address (the first row and the first column) was specified. In this way, the controller 26 makes the above explained operation repeated to each column in the first row

in order to thereby make the data of all columns in the first row held in the data latch circuit provided in the column driver 28.

[0018] After all of the column data in the first row were latched, as shown in Fig. 5, the controller 26 makes each of the column data in the first row written in a picture element in each column corresponding to the data. Namely, the FET 11 for selecting address corresponding to each picture element is made conducting. At the same time, the controller 26 controls the light emission controlling driver 31 to supply a control signal for making the switching circuit 32 conducting (light emission control ON), and to make an organic EL element of a picture element, having data indicating light emission, emit light. In addition, the controller 26, when a specified light emitting period (T_{L1}), predetermined for the first subfield, has passed, supplies a signal indicating to stop light emission of the above organic EL element to the light emission controlling driver 31. The light emission controlling driver 31 supplies control signals for stopping light emission of the organic EL elements (light emission OFF) to all of the switching circuits 32 in the first row to bring the organic EL elements in non-light-emitting state.

[0019] The controller 26, as the step after all of the column data in the first row are latched, outputs an instruction for specifying the second row to the row address counter 23

and, along with this, outputs an instruction for specifying the first column to the column address counter 22. In the same way as that in the case of the above described operation for the first row, control is carried out so that data latch is carried out about all of the column data in the second row. After all of the column data in the second row have been latched, in the same way as that in the case of the above described operation for the first row, a light emission controlling operation is carried out about a picture element in each column in the second row.

[0020] The controller 26, by carrying out such operations over all of the rows (namely, the first line to the m-th line), can carry out light emission control of all of the picture elements in the light emitting panel 30 with the light emission of the picture elements made in correspondence with the data in the first subfield. Then, the controller 26 produces an instruction to the multiplexer 25 to output data of the second subfield. From this and later, the controller 26 repeats the same operations as that in the case of the above explained first subfield to carry out light emission corresponding to the data for the second subfield.

[0021] In this way, there is carried out light emission corresponding to the first subfield to the eighth subfield. Moreover, the invention is characterized by having means for stopping light emission of the light emitting elements after

a specified light emitting period has passed for each subfield. Therefore, it is possible to allot any given light emitting period shorter than the address period (T_A) to the subfield. Namely, without means for stopping light emission, it is impossible to allot a light emitting period shorter than the address period to the subfield. This is because light emission of a light emitting picture element can not be stopped until the light emission of the picture element is updated by starting of the address period for the next subfield. Thus, the next subfield cannot be started until the completion of the address period, the period necessary for scanning all of the rows.

[0022] Figure 5 shows the case in which light emission in each line is controlled with a light emitting period shorter than an address period (T_A) in the k -th subfield ($1 \leq k \leq 8$). By the controller 26 carrying out the same control as those explained before, light emission in each row is controlled with a specified light emitting period (T_{Lk}) determined for the subfield. For example, when one frame is displayed with 60 Hz, one frame lasts for about 16.7 milliseconds (ms). Here, an explanation will be made about an example in which an address period is taken as 0.84 ms (40 % of one frame period $\times 1/8$), and a light emitting period in the first subfield (1/2) is taken as a value equal to or less than 1/2 the one frame period, for example, 5 ms. At this time, light emitting periods of subfields subsequent to the second sub field become 2.5 ms, 1.25 ms, 0.625

ms, ..., 0.039 ms as $1/2^1$, $1/2^2$, $1/2^3$, ..., $1/2^7$, respectively. Therefore, in this case, the light emitting periods in the subfields subsequent to the fourth subfields (the fourth subfield to the eighth subfield) are shorter than the address period ($T_A = 0.84$ ms). Nevertheless, a control is carried out to each subfield so that it has a desired light emitting period.

[0023] At the time when the display control from the first subfield to the eighth subfield is finished in such ways as described above, display of one frame is completed. The controller 26 thereafter updates the data stored in the frame memory 24 to the data corresponding to the next frame to carry out next display control. Therefore, according to the invention, the above-explained control for stopping light emission makes it possible to control light emission for each subfield with any given light emitting period shorter than the address period, which allows a display with wide gradation.

[0024] Figure 7 shows a circuit arrangement corresponding to one picture element of an active matrix light emitting panel as the second example of the invention. The example differs from the first example in that a switching circuit 32 is provided with an FET 35 connected in parallel to the capacitor 13. Namely, a drain D of the FET 35 is connected to a connection point of the source S of the FET 11 with the capacitor 13, and a source S is grounded. Therefore, when the FET 35 is made conducting in response to a control signal supplied to the gate G, light

emission of the organic EL element 15 is stopped.

[0025] Figure 8 shows a circuit arrangement corresponding to one picture element of a light emitting panel as the third example of the invention. The example differs from the above-explained example in that a switching circuit 32 is provided with an FET 36 connected in series between the capacitor 13 and the gate G of the FET 12. Namely, a drain D of the FET 36 is connected to a connection point of the source S of the FET 11 with the capacitor 13, and a source S is connected to the gate G of the FET 12. Therefore, when the FET 36 is made nonconducting in response to a control signal supplied to the gate G, light emission of the organic EL element 15 is stopped.

[0026] Each of Figs. 9 to 11 shows a circuit arrangement corresponding to one picture element of a light emitting panel as each of other examples of the invention. Each of the examples differs from the above-explained examples in that a switching circuit 32 is provided with an FET 37 connected in series to the organic EL element 15. Namely, when the FET 37 is made nonconducting in response to a control signal supplied to the gate G, light emission of the organic EL element 15 is stopped.

[0027] As described above, according to the invention, the above-explained control for stopping light emission makes it possible to control light emission for each subfield with any given light emitting period shorter than the address period, which allows realization of a display with wide gradation.

Numerical values shown in the above-described examples are only examples which can be adequately changed. Furthermore, various kinds of the switching circuits can be used in being adequately combined.

[0028]

[Advantage of the Invention]

As is apparent from the above description, according to the invention, light emitting period in each subfield can be arbitrarily controlled. This makes it possible to realize an active matrix display device which can present a high definition multigradation display without any variation in luminance gradation over the whole plane of the display panel.

[Brief Description of the Drawings]

[Fig. 1] A view showing an example of a circuit arrangement corresponding to one picture element in a conventional active matrix light emitting panel;

[Fig. 2] A view schematically showing an arrangement of an organic EL display device using an active matrix light emitting panel as a first example of the invention;

[Fig. 3] A view showing one frame period, subfield periods, and address periods of a digital image signal;

[Fig. 4] A view showing a circuit arrangement corresponding to one picture element of an active matrix light emitting panel as the first example of the invention;

[Fig. 5] A time chart showing timing of light emission

control carried out for each subfield by a controller;

[Fig. 6] A time chart showing control timing with which the controller carries out control of light emission with a light emitting period shorter than the address period;

[Fig. 7] A view showing a circuit arrangement corresponding to one picture element of an active matrix light emitting panel as the second example of the invention;

[Fig. 8] A view showing a circuit arrangement corresponding to one picture element of a light emitting panel as the third example of the invention;

[Fig. 9] A view showing a circuit arrangement corresponding to one picture element of a light emitting panel as another example of the invention;

[Fig. 10] A view showing a circuit arrangement corresponding to one picture element of a light emitting panel as another example of the invention; and

[Fig. 11] A view showing a circuit arrangement corresponding to one picture element of a light emitting panel as another example of the invention.

[Description of the Reference Numerals and Signs in the Principle Parts]

- 10 picture element
- 11 address selecting FET
- 12 driving FET
- 13 capacitor

15 light emitting element
20 display device
21 A/D converter
22 column address counter
23 row address counter
24 frame memory
25 multiplexer
26 controller
27 row driver
28 column driver
30 light emitting panel
31 light emission controlling driver
32 switching circuit
33, 34, 35, 36 FET

[Abstract]

[Object] To provide an active matrix display device which can present a high definition multigradation display without any variation in luminance gradation over the whole plane of the display panel.

[Means for Resolution] The device comprises setting means for setting a plurality of subfield periods in a unit frame period corresponding to a synchronizing timing of inputted image data, display controlling means for scanning every row of the light emitting panel in order for each of the subfield periods to make the light emitting elements emit light depending on the inputted image data, and light emission stopping means for stopping light emission of each of the light emitting elements when a light emitting period of each of the light emitting elements reaches a specified light emitting period in each of the subfield periods, in the case in which address period, as a period that light emission controlling means requires for scanning all of the rows of the light emitting panel, is longer than a specified light emitting period.

Fig. 1

10 one picture element

15 EL element

Aj address line

Bj data line

common electrode

Fig. 2

image signal

22 column address counter

23 row address counter

24 frame memory

25 multiplexer

26 controller

27 row driver

28 column data driver

30 light emitting panel

31 light emission controlling driver

Fig. 3

address period

subfield (SF1)

frame period

Fig. 4

15 organic EL element
Aj address line
Bj data line
control signal
control signal
common electrode

Fig. 5

scanning signal
first line
light emission control
subfield period (SF1)
light emitting period = T_{L1}
second line
light emission control
m-th line
light emission control
address period = T_A

Fig. 6

scanning signal
first line
light emission control
subfield period (SF-k)

light emitting period = T_{LK}

second line

light emission control

m-th line

light emission control

address period = T_A

Fig. 7

Aj address line

Bj data line

control signal

common electrode

Fig. 8

15 organic EL element

Aj address line

Bj data line

control signal

common electrode

Fig. 9

15 EL element

Aj address line

Bj data line

control signal

common electrode

Fig. 10

15 EL element

Aj address line

Bj data line

control signal

common electrode

Fig. 11

one picture element

15 EL element

Aj address line

Bj data line

control signal

common electrode